



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 09/761,594 Confirmation No. 5815
Applicant : Hans-Jürgen Hacke et al.
Filed : January 16, 2001
Title : Semiconductor Device in Chip Format and Method for Producing It
Examiner : John T. Haran Group Art Unit : 1733
Docket No. : GR 98 P 4137 P Customer No. : 24131

DECLARATION under 37 C.F.R. § 1.131

The undersigned hereby declare(s) :

The invention of the above-identified application was "reduced to practice" prior to July 6, 1998.

Enclosed, as corroborating evidence is the Invention Declaration/Disclosure (*Erfindungsmeldung*) signed and dated by the Inventors.

The undersigned declares that all statements made herein of his own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. § 1001 and

such willful false statements may jeopardize the validity of
the application or any patent issued thereon.

Hans-Jürgen Hacke
Hans-Jürgen Hacke

Date: 12.1.04

Klaus-Peter Galuschki

Date: _____

such willful false statements may jeopardize the validity of
the application or any patent issued thereon.

Date: _____

Hans-Jürgen Hacke

Klaus-Peter Galuschki

Date: 09.01.2004

Vertraulich!

An
Siemens AG
bzw. Beteiligungsgesellschaft

ZT ME
ERFINDUNGSMELDUNG

Bitte verschlüsseln weitersenden!

Bereits vorab an ZT PA übermittelt per FAX
Wenn ja - bitte unbedingt ankreuzen:

Aktenzeichen der PA

98 E 4033 DE
98 P 4137

Ich/Wir (Vor- und Nachname der/des Erfinder(s) - weitere Angaben und Unterschrift(en) letzte Seite)

Hans-Jürgen Hacke, Klaus-Peter Galuschki

Anzahl der

Erfinder:

2

Datum der Ausfertigung:

26.1.98

melde[n] hiermit die auf den folgenden Seiten vollständig beschriebene Erfindung mit der Bezeichnung:

Verfahren zum Herstellen von Chip-Size-Packages auf Waferebene

I. An Vorgesetzten der/des Erfinder[s]

Herrn/Frau Gamalski

ZT ME 6

(Dienststelle)

mit der Bitte, die nachstehenden Fragen zu beantworten:

Eingang am:

30.1.98

a) Wann ging die Erfindungsmeldung bei Ihnen ein? →

b) Geht die Erfindung auf öffentlich geförderte Arbeiten zurück?

nein ja, Vorhaben:

c) Gibt es ein zugehöriges internes FuE-Projekt?

nein ja, Projekt: Innovative Montageverfahren

Ab Eingang läuft gesetzliche Frist!

Nur bei ZT-Erfindungen auszufüllen:

Projekt-Nr. K1R Titel: Innovative Montageverfahren

Kerntechnologie:

Entwicklungs-
projekt Forschungs-
projekt

im Interesse von Bereich:

Anprechpartner:

d) Anmeldung wird empfohlen

nein

ja

Dringlichkeitsvermerk

Kosten trägt (Organisationseinheit):

HL

Die Erfindung betrifft nicht unser Interessengebiet. Es sind noch folgende Dienststellen zu befragen:

2.2.98 Gamalski Weider

(Datum)

(Unterschrift des Vorgesetzten)

II. Bitte wegen gesetzlicher Frist sofort weiterleiten

Eingang am:

An
ZT PA (Patentabteilung)

ZT PA Bln

Standort: _____
(z.B.: Mch/M, Er/S, Bln/N, Khe/R)

zur weiteren Veranlassung.

Eing.

17. FEB. 1998

GR

1. Welches technische Problem soll durch Ihre Erfindung gelöst werden?
2. Wie wurde dieses Problem bisher gelöst?
3. In welcher Weise löst Ihre Erfindung das angegebene technische Problem (geben Sie Vortile an)?
4. Worin liegt der erfinderische Schritt?
5. Ausführungsbeispiel(e) der Erfindung

zu 1.: Bauformen integrierter Schaltungen, die nur unwesentlich größere, bzw. gleiche Dimensionen wie die integrierte Schaltung haben, werden Chip-Size- oder Chip-Scale-Packages genannt. Dabei wird das feine Anschlußraster des IC durch Zwischenträger auf größere Abstände transformiert und mit lötfähigen Anschlüssen in Form von Lotkugeln oder Metallbändchen versehen. Der Zwischenträger hat weiterhin die Aufgabe, den infolge unterschiedlicher thermischer Ausdehnungskoeffizienten von Silizium und z.B. Leiterplattenmaterial der Flachbaugruppe resultierenden mechanischen Stress aufzunehmen und von den Verbindungsstellen fernzuhalten. Im SMD-Montageprozeß können diese Packages normal weiterverarbeitet werden. Die Herstellung dieser Packages kann auf Waferlevel, d.h. für alle Chips eines Wafers gleichzeitig, oder in Einzelfertigung erfolgen. Das erfindungsgemäße Verfahren bezieht sich auf die Herstellung von Chip-Size-Packages auf Waferebene.

zu 2.: Bisher kommen vorzugsweise Verfahren der Einzelherstellung zum Einsatz. Das vereinzelte Chip wird auf einem Zwischenträger befestigt und mit den Außenanschlüssen verbunden. Der Zwischenträger kann von unterschiedlicher Art (starr, flexibel, Leadframe) sein. Zur elektrischen Verbindung von Zwischenträger und Chipanschlüssen kommen ebenfalls verschiedene Verfahren (Draht-, Flip-Chip- oder TAB-Kontaktierung) zum Einsatz. Die Außenanschlüssen des Gehäuses bestehen vorzugsweise aus Lotkugeln. Im Falle von Leadframeträgern bestehen die Anschlüsse aus lötfähigen Metallbändchen.

Eine wesentliche Reduzierung der Herstellungskosten ist nur noch durch die gleichzeitige Bearbeitung der Chips im Waferverbund möglich.

Ein Verfahren bedient sich z.B. der Dünnschichttechnik zur Herstellung der Umverdrahtung wobei abwechselnd Dielektrika und Metallschichten abgeschieden und strukturiert werden.

Ein anderes kapselt die Chips im Scheibenformat zwischen zwei Glasplatten und führt die angeschnittenen und in Dünnschichttechnik kontaktierten Anschlüsse auf die Gehäuserückseite. Es ist auch ein Verfahren bekannt, bei dem vorgefertigte flexible Strukturen auf den Wafer geklebt und dort mit den Chipanschlüssen kontaktiert werden.

zu 3.: Das erfindungsgemäße Verfahren betrifft die Herstellung von Chip-Size-Packages auf Waferebene. Es verwendet die Dünnschichttechnik zur einfachen und kostengünstigen Transformation des feinen Chipanschlüsse auf größere, SMD-taugliche Raster sowie zur einfachen (simultanen) Kontaktierung der Chipanschlüsse. Die Dünnschichtmetallisierung transformiert außerdem die nur drahtbondbare Aluminiummetallisierung der Chips in ein löt- bzw. klebgeeignetes Schichtsystem. Das nachfolgend aufzubringende Dielektrikum unterstützt die mechanische Entkopplung von Chip und späterem Substrat. Es schafft Distanz zwischen Chip und Substrat. Das Dielektrikum kann mit einfachen, kostengünstigen Verfahren aufgebracht und strukturiert werden. Das Dielektrikum dient außerdem als Schablone zum Einrakeln leitfähigen Materials. Dieses leitfähige Material besteht vorzugsweise aus Leitkleber, jedoch ist ebenfalls die Verwendung von Lotpaste möglich. In den nicht ausgehärteten Leitkleber, bzw. die nasse Lotpaste, werden vorzugsweise metallisierte Kunststoffkugeln gesetzt. Anschließend wird der Kleber ausgehärtet, bzw. die Paste umgeschmolzen. Dieser Aufbau ermöglicht eine hervorragende mechanische Entkopplung. Zunächst wird durch das Dielektrikum ein großer Abstand zwischen Chip und Kunststoffkugel erreicht. Der Leitkleber und die Kunststoffkugel verfügen außerdem über wesentlich bessere elastische Eigenschaften als vergleichbare Lösungen, die vollständig aus Lotmaterial realisiert sind. Die elastische Verbindungselemente besitzen außerdem ein wesentlich besseres Alterungsverhalten bei mechanischer Wechselbelast. Der zusätzliche Einsatz von Underfiller aus Zuverlässigkeitsgründen ist nicht erforderlich.

zu 4.: Der erfinderische Schritt liegt in der Kombination von Dünnschichttechnik und Applikation einer dickeren dielektrischen Schicht auf Waferebene zur Kostenreduzierung sowie im Einsatz von Abstandshalter (dielektrische Schicht) und elektrisch leitfähigen, elastisch Verbindungselementen (Leitkleber und metallisierte Kunststoffkugel).

zu 5.: siehe 6.

6. Zur weiteren Erläuterung sind als Anlagen beigefügt:

3 Blatt der Darstellung eines oder mehrerer Ausführungsbeispiele der Erfindung;
0 Blatt zusätzliche Beschreibungen (z.B. Laborberichte, Versuchsprotokolle);
44 Blatt Literatur, die den Stand der Technik, von dem die Erfindung ausgeht, beschreibt; *)
1 sonstige Unterlagen (z.B. Disketten, insbesondere mit Zeichnungen der Ausführungsbeispiele):

*) Bitte Fotokopien oder Sonderdrucks aller zitierten Veröffentlichungen (Aufsätze vollständig; bei Büchern die relevanten Kapitel) mit vollständigen bibliographischen Daten beifügen.

7. Welche Dienststellen sind an der Erfindung interessiert? ZT, HL

8. Wurde die Erfindung bereits erprobt (Durchführung von Versuchen, Anfertigung von Mustern)?
 nein ja, Ergebnis: _____

9. Für welche Erzeugnisse ist die Erfindung anwendbar? Halbleiterbauelemente

10. Ist die Anwendung der Erfindung vorgesehen?
 nein ja, bei: abhängig vom Erprobungsergebnis

11. Ist ein auf der Erfindung beruhendes Erzeugnis geliefert oder ist eine Lieferung beabsichtigt?
 nein ja, (voraussichtlich) am _____, Bezeichnung des Erzeugnisses: s. Pkt. 10.

12. Ist eine Veröffentlichung der Erfindung beabsichtigt oder bereits erfolgt?
 nein ja, (voraussichtlich) am _____ in Buch, Zeitschrift: s. Pkt. 10.

13. Ist eine Mitteilung der Erfindung an Firmenfremde beabsichtigt oder bereits erfolgt?
 nein ja, (voraussichtlich) am _____ an _____

14. Es wird gebeten, soweit möglich, die folgenden Kriterien abzuschätzen:

- a **Umgehungsschwierigkeit**
 - Umgehungslösung bekannt oder leicht realisierbar
 - ... mit geringerem Aufwand in kurzer Zeit realisierbar
 - ... erfordert erheblichen Entwicklungs- oder technischen Aufwand
 - ... sind wirtschaftlich nicht vertretbar
 - Schutzrecht nicht umgehbar, Grundsatzpatent, „Standard“
- b **Bedeutung für die Konkurrenz**
 - Schutzrecht interessiert kaum
 - Interesse möglich
 - Interesse wahrscheinlich
 - große Bedeutung (Benutzung notwendig, Standard)
- c **Nachweismöglichkeit einer Verletzung**
 - Nachweis nicht möglich
 - Nachweis schwierig und sehr teuer
 - Nachweis nur mit mittleren Aufwand möglich
 - Nachweis einfach (z.B. am Erzeugnis sichtbar, nicht umgehbarer Standard)
- d **Bedeutung für laufende und geplante eigene Produkte**
 (technische, funktionelle oder wirtschaftliche Verbesserung)
 - keine oder minimale Verbesserung
 - geringe Verbesserung
 - mittlere Verbesserung
 - große oder sehr große Verbesserung
- e **Bedeutung für langfristig realisierbare Produkte**
 - keine oder minimale Verbesserung
 - geringe Verbesserung
 - mittlere Verbesserung
 - große oder sehr große Verbesserung
- f **Benutzung (eigene)**
 - sicher nicht bei ZT
 - weniger wahrscheinlich
 - wahrscheinlich
 - fest geplant
- g **Sonstiges** Standardisierung von CSP ist in Vorbereitung (s. Anlage 2)
 Weitere Hinweise oder nähere Angaben zu Standards, zur zukünftigen Bedeutung, zur Relevanz für einzelne Länder usw.
- h **Marktvolumen** in 2001 1.2 Bn pieces of CSP; 0.9-1.2 cent/IO; 50 IO; nach BPA -> 600 Mio \$/2001
 Die Summe der zu erwartenden weltweiten Umsätze auf dem von der Erfindung betroffenen technischen Gebiet.

15. Angaben zur Person des/der Erfinder(s) (Erfinder 1 - 4 hier eintragen. Für weitere Erfinder bitte Zusatzblatt beifügen): 98 E 4 0 3 3 D1

Name	Hacke	Geluschki		
Geburtsname				
Vorname	Hans-Jürgen	Klaus-Peter		
akad. Grad/Titel/Beruf	Dipl.-Ing.	Dr.-Ing.		
zum Zeitpunkt der Erfindung: Werkstud./Diplomand/Doktorand?	ja <input type="checkbox"/> bitte Vertrag beifügen	ja <input type="checkbox"/> bitte Vertrag beifügen	ja <input type="checkbox"/> bitte Vertrag beifügen	ja <input type="checkbox"/> bitte Vertrag beifügen
Tätigkeit/Stellung im Betrieb (z.B. Laborvorsteher u.a.)	Projektleiter	Projektleiter		
Arbeitgeber falls nicht Siemens AG				
Bereich	ZT	ZT		
Abteilung	ME6	ME6		
Standort	Mch P	Bin S		
Telefon (Amt)	45060	25598		
Telefax (Amt)	48555	26843		
E-Mail				
Staatsangehörigkeit	deutsch	deutsch		
Privatanschrift				
Straße, Haus-Nr.	Malojaweg 7	Schulzendorfer Str. 94		
Postleitzahl, Wohnort	81475 München	12526 Berlin		
Geburtsdatum	23.3.38	10.5.61		
Abrechnende Personaldienststelle (der APD-Nr. *)	160-044474	160-247742		
Personalnummer *)				
Ist dies Ihre 1. Erfindung?	<input type="checkbox"/> ja	<input type="checkbox"/> ja	<input type="checkbox"/> ja	<input type="checkbox"/> ja
16. Liegt die Erfindung auf a) Ihrem Arbeitsgebiet? b) einem anderen Arbeitsgebiet Ihres Arbeitgebers?	<input checked="" type="checkbox"/> ja <input type="checkbox"/> nein	<input checked="" type="checkbox"/> ja <input type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein
17. Welchen Anteil an der Erfindung haben Sie?	50 %	50 %	%	%
18. Wurde oder wird die Erfindung auch als VV gemeldet?	<input type="checkbox"/> ja <input checked="" type="checkbox"/> nein	<input type="checkbox"/> ja <input checked="" type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein
19. Falls Sie die Erfindung als freie Erfindung ansehen, bitte begründen:	70% 17 324256			
20. Meines/unsere Wissens sind keine weiteren Personen an der Erfindung beteiligt.	26.1.98 Hacke	27.1.98 Geluschki		
	(Unterschrift)	(Unterschrift)	(Unterschrift)	(Unterschrift)

*) Bitte aus Firmenausweis oder Gehaltseabrechnung entnehmen

Zu 6.) Anfertigungs Beispiel

Prozeßtechnologie für Low-Cost CSP im Waferlevel

Nr.	Zeichnung	Prozeßschritte	Anmerkungen
1		<ul style="list-style-type: none"> Wafer im Ausgangszustand 	<ul style="list-style-type: none"> freiliegende Aluminiumbondpads mit Chippassivierung abgedeckt
2		<ul style="list-style-type: none"> Aufbringen einer Dünnschichtmetallisierung evtl. galvanische Verstärkung 	<ul style="list-style-type: none"> Dünnschichtmetallisierung als Mehrschichtsystem wie bei UBM Funktion der Kontaktierung der Al-Pads und Transformation auf löt- und klebgeeignete Metallisierung
3		<ul style="list-style-type: none"> Strukturieren der Dünnschichtmetallisierung 	<ul style="list-style-type: none"> Transformation des Bondpadrasters auf leichter handhabbare, gröbere Struktur
4		<ul style="list-style-type: none"> Aufbringen der Dünnschichtpassivierung 	<ul style="list-style-type: none"> Abdeckung der UBM bzw. Schutz der Chippassivierung
5		<ul style="list-style-type: none"> Öffnen der Passivierung für Bauteilanschluß 	<ul style="list-style-type: none"> phototechnisch oder Laser läßt sich evtl. mit dem nächsten Schritt gemeinsam realisieren
6		<ul style="list-style-type: none"> Aufbringen eines dicken Dielektrikums 	<ul style="list-style-type: none"> Aufbringen durch Siebdrucken, Schleudern oder Auflaminieren evtl. Auflaminieren eines gelochten Films
7		<ul style="list-style-type: none"> Öffnen des Dielektrikums für Bauteilanschluß 	<ul style="list-style-type: none"> phototechnisch oder Laser evtl. Öffnung bereits durch Siebdruck oder gelochten Film vorhanden
8		<ul style="list-style-type: none"> Füllen der Anschlußöffnung mit leitfähigem Material 	<ul style="list-style-type: none"> Einrakeln von leitfähigem Material evtl. kann Dielektrikum als Schablone dienen Material kann aus Lotpaste oder Leitkleber bestehen

1. What technical problem is to be solved with your invention?
2. How has this problem been solved until now?
3. How does your invention solved the given technical problem (give advantages)?
4. What is the inventive step?
5. Exemplary embodiment(s) of the invention.

Regarding item 1: Structural forms of integrated circuits which have only slightly larger or the same dimensions as the integrated circuits are called chip size or chip scale packages. The fine connection raster of the IC is transformed to coarser distances by means of intermediate carriers and is provided with connection which can be soldered in the form of solder spheres or metal ribbons. The intermediate carrier also has the object to absorb the mechanical stress resulting from the different thermal expansion coefficients of silicon and, for example, printed circuit board material of the flat component and to keep them from connection locations. In the SMB assembly process, these packages can normally be further processed. The production of these packages can take place on the wafer level, i.e. simultaneously for all chips of a wafer, or in individual production. The method according to the invention pertains to the production of chip-size packages of wafer plane.

Regarding item 2: Presently, method of individual production are preferably used. The individual chip is attached on a subcarrier and connected with the outer connections. The subcarrier can be made of different types (rigid, flexible, leadframe). For the electrical connection of subcarriers and chip connections, different methods are also used (wire, flip-chip, or TAB contacting). The outside connections of the housing preferably consist of solder spheres. In the case of leadframe carriers, the connections consist of metal ribbons that can be soldered. An essential reduction of the production costs is only possible by the simultaneous processing of the chips in wafer systems.

A method uses thin film technology, for example, for producing the rewiring whereby dielectric and metal layers are alternately deposited and structured.

Another method encapsulates the chips in a disk-shaped format between two glass plates and guides the cut connections contacted in thin-film technology to the rear

side of the housing. Also, a method is known where pre-manufactured flexible structures are glued on the wafer and are contacted there with the chip connections.

Regarding item 3: The method according to the invention pertains to the production of chip-size packages on wafer plane. It uses thin-film technology for simple and cost-efficient transformation of the fine chip connection raster to coarser, SMD-suitable raster as well as for simple (simultaneous) contacting of the chip connections. The thin film metalization furthermore transforms the aluminum metalization of the chips which can only be wire bonded into a solder or glue-suitable layer system. The dielectric which is to be applied subsequently supports the mechanical decoupling of chip and later substrate. It creates distance between chip and substrate. The dielectric can be applied and structured with simple cost-efficient methods. The dielectric furthermore serves as a template for conductive material. This material preferably consists of glue, but the use of soldering paste is also possible. Metalized plastic spheres are preferably inserted into the not yet hardened glue, or the wet soldering paste. Subsequently, the glue is hardened or the paste is remelted. This construction enables an excellent mechanical decoupling. First, a larger space between chip and plastic sphere is achieved by means of the dielectric. The glue and the plastic sphere furthermore have essentially better elastic characteristics than comparable solutions which are realized completely from soldering material. The elastic connection elements furthermore have an essentially better aging behavior at mechanical alternating loads. The additional use of underfiller for reasons of reliability are not necessary.

Regarding item 4: The inventive step lies in the combination of thin film technology and application of a thicker dielectric layer on wafer plane for the purpose of reducing costs as well as in the use of space maintainers (dielectric layer) and electrically conductive, elastic connection elements (glue and metallic plastic sphere).

6. For further explanation, enclosed are:

3 pages of illustration of one or more exemplary embodiments of the invention;

0 pages of additional description (for example laboratory reports, test protocols);

44 pages of literature describing the state of the art on which the invention is based*

1 other documentation (for example diskettes, in particular with drawings of the exemplary embodiments):

* please enclose photocopies or special prints of all cited publications (complete essays; relevant chapters for books) with complete bibliographical data